

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **60140752 A**

(43) Date of publication of application: **25.07.85**

(51) Int. Cl

H01L 27/14

H01L 31/10

(21) Application number: **58245059**

(71) Applicant: **OLYMPUS OPTICAL CO LTD**

(22) Date of filing: **28.12.83**

(72) Inventor: **MATSUMOTO KAZUYA**

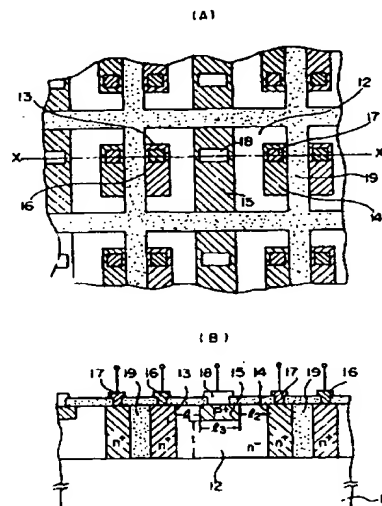
**(54) SEMICONDUCTOR PHOTOELECTRIC
CONVERSION DEVICE**

(57) Abstract:

PURPOSE: To form an electrostatic induction transistor to a lateral type, and to improve performance while facilitating manufacture by growing a semiconductor layer on a substrate consisting of an insulator, etc., forming a source region and a drain region to the semiconductor layer, shaping a gate region storing carriers by optical pumping between these regions and flowing the source and drain regions in parallel with the surface of the semiconductor layer.

CONSTITUTION: An N^- layer 12 is grown on an insulating substrate 11 consisting of sapphire, etc. in an epitaxial manner, and vertical N^+ type source region 13 and N^+ type drain region 14 reaching the substrate 11 are diffused and shaped to the layer 12 at an interval. A shallow P^+ type gate region 15 controlling passing charges is diffused and shaped to the surface layer section of a channel region consisting of the layer 12 positioned between these regions 13 and 14 while a space is kept between the regions 13 and 14, the whole surface is coated with an insulating film and openings are bored, and a source electrode 16 and a drain electrode 17 are formed and a transparent gate electrode 18 is formed respectively. Insulators 19 are each shaped on both sides of the regions 13 and 14, and the same structure is formed through the insulators 19, thus manufacturing an image pickup device.

COPYRIGHT: (C)1985,JPO&Japio



THIS PAGE BLANK (USPTO)

⑫ 公開特許公報(A)

昭60-140752

⑤ Int.Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和60年(1985)7月25日

H 01 L 27/14
31/107525-5F
6666-5F

審査請求 未請求 発明の数 1 (全8頁)

⑥ 発明の名称 半導体光電変換装置

⑪ 特 願 昭58-245059

⑫ 出 願 昭58(1983)12月28日

⑬ 発 明 者 松 本 一 哉 東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス光学工業株式会社内

⑭ 出 願 人 オリンパス光学工業株式会社 東京都渋谷区幡ヶ谷2丁目43番2号

⑮ 代 理 人 弁理士 最 上 健 治

明 細 書

1. 発明の名称

半導体光電変換装置

2. 特許請求の範囲

- (1) 絶縁物又は高抵抗半導体基板の上に形成した半導体層の同一表面に、ソース領域及びドレイン領域を設け、該ソース領域とドレイン領域間に、光励起によるキャリアを蓄積するゲート領域を備え、前記半導体層の表面と平行にソース・ドレイン電流が流れるように構成したことを特徴とする半導体光電変換装置。
- (2) 前記ゲート領域は、接合ゲート又は金属-絶縁物-半導体からなる絶縁ゲートで形成されていることを特徴とする特許請求の範囲第1項記載の半導体光電変換装置。
- (3) 前記ゲート領域は、ソース領域とドレイン領域間に半導体層の表面から底面に達する一つの領域で形成され、ソース・ドレイン電流はゲート領域と隣接素子分離用絶縁物との間を流れる

ように構成したことを特徴とする特許請求の範囲第1項記載の半導体光電変換装置。

- (4) 前記ゲート領域は、ソース領域とドレイン領域間に半導体層の表面から底面に達する複数の領域で形成され、ソース・ドレイン電流は前記複数のゲート領域間を流れるように構成したことを特徴とする特許請求の範囲第1項記載の半導体光電変換装置。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は、横型静電誘導トランジスタ(以下単にSITと称する)を用いた半導体光電変換装置に関するものである。

〔従来技術〕

従来、電子カメラ、ホームビデオカメラ、フックンミリ等に利用される半導体光電変換装置からなる半導体撮像装置には、BBD、CCD等の電荷転送素子あるいは、MOSトランジスタ等が広く用いられている。しかし、これらの素子を用いた半導体撮像装置には、信号電荷転送時に電荷の洩れが

あること、光検出感度が低いこと、集積度が低いこと等の種々の問題点がある。

このような問題点を一挙に解決するものとして、S I Tを用いた固体撮像装置が、すでに提案されている。このS I Tは光電変換作用及び光電荷増幅作用を有するフォトリランジスタの一種であり、電界効果トランジスタや接合形トランジスタに比較して、高入力インピーダンス、高速性、非飽和性、低雑音、低消費電力等の特長を備えているものである。

したがって、このS I Tを受光素子として用いれば、高感度、高速応答性、及び広ダイナミックレンジを有する半導体撮像装置を得ることが出来るものであり、かかる装置は、特開昭55-15229号公報に開示されている。

第1図は、この既知の固体撮像装置の各画素を構成するS I Tの断面図を示す。このS I Tは、図に示すように、縦型構造で、ドレイン領域は n^+ 型の基板1から成り、ソース領域は、基板1上に堆積されたチャネル領域を構成する n^- 型エピタキ

シャル層2の表面に形成された n^+ 型領域3から成り、このエピタキシャル層2の表面には、更にソース領域3を取り囲むように p^+ 型の信号蓄積ゲート領域4が形成されている。このゲート領域4、ト領域4上には、絶縁膜5を介して電極6が形成され、電極/絶縁膜/ゲート領域から成るいわゆるM I S構造のゲート電極が形成されている。チャネル領域を構成する n^- 型エピタキシャル層2の不純物濃度は、ゲート電極6の印加バイアスが0Vでもチャネル領域2が空乏化され、高い電位障壁が生じてピンチオフするような低濃度を選択されている。

斯るS I Tの動作原理を以下に説明する。ドレイン・ソース間にバイアスが印加されていない状態において、光がチャネル領域2及びゲート領域4に入射すると、ここで生成した電子-正孔対のうち正孔はゲート領域4に蓄積され、一方電子はドレイン領域1を経てアースに流れ去る。光入力に対応してゲート領域4に蓄積された正孔は、ゲート領域4の電位を上げ、チャネル領域2の電位障壁を光入力に応じて下げる。ドレイン・ソース

間にバイアスを印加し、かつゲート電極に順方向電圧を印加すると、ゲート領域4の正孔蓄積量に応じドレイン・ソース間に電流が流れ、光入力に対し増幅された出力が得られる。その光増幅率 μ は通常 10^3 以上あり、従来のバイポーラトランジスタより1桁以上も高感度である。この光増幅率 μ は

$$\mu = \frac{\ell_1 \times \ell_2}{a^2}$$

で表わされる。ここで $2a$ はゲート領域4、4間の距離、 ℓ_1 はゲート領域の深さ、 ℓ_2 はゲート・ドレイン領域間の距離である。この式から解るように、一層高い光増幅率を得るには、 $2a$ を小さくする一方、エピタキシャル層2の厚さとゲート領域4の深さを大きくする必要がある。例えば、 $10^3 \sim 10^4$ の μ を得るには、通常 $\ell_1 = 2 \sim 3 \mu m$ 、 $\ell_2 = 5 \sim 6 \mu m$ が必要とされる。

ところで、このように構成される固体撮像装置における各S I T間には、図示の如く、分離ゲート領域7を設けて、各S I Tの信号電荷を分離す

る必要があるが、この分離には酸化膜分離、拡散分離、V字溝分離等の方法が一般に使用されている。この場合、分離領域7はエピタキシャル層2の表面から基板1に到るまで設けられるが、エピタキシャル層2が厚いと、それだけその領域の形成が困難になる。一方、光増幅率 μ を上げるためにゲート領域4を深く形成することは、拡散法などでは限界がある。また、ゲート領域を深くするとゲート領域で光の吸収が起り、分光感度が悪化する。これらの理由により、縦型構造のS I Tからなる固体撮像装置においては、感度向上にはおのずから限界があり、これはその構造上避けられない欠点である。

〔発明の目的〕

本発明は、上記従来の縦型S I Tを用いた固体撮像装置を構成する半導体光電変換装置における欠点を除去するためになされたもので、横型構造のS I Tを用い、高性能でかつ製作容易な光電変換装置を提供することを目的とするものである。

〔発明の概要〕

本発明は、絶縁物又は高抵抗半導体基板の上に形成した半導体層の同一表面に、ソース領域及びドレイン領域を設け、該ソース領域とドレイン領域間に、光信号蓄積ゲート領域を備え、ソース・ドレイン電流が半導体層の表面と平行に流れるようにした横型SITで、光電変換装置を構成し、製作を容易にし、且つ光感度並びに光増幅率を向上させるものである。

〔発明の実施例〕

以下本発明の実施例について説明する。第2図(A)は、本発明に係る半導体光電変換装置の第1実施例の一部省略平面図で、同図(B)は、そのX-X'線に沿った断面図を示す。第2図(A)、(B)において、11は絶縁物基板で、例えば、サファイヤ(Al_2O_3)、マグネシア(MgO)等の酸化物などで形成されている。12は基板11上に形成されたn⁻型エピタキシャル層、13は該エピタキシャル層12の表面にn型不純物を添加して形成したn⁺型ソース領域、14は同じくエピタキシャル層12にn型不純物を添加して形成したn⁺型ドレイン領域である。

光照射前に、ソース電極16を接地し、ゲート電極18に負の電圧 V_g を印加して、ソース領域13とドレイン領域14間のチャネル領域を閉の状態にする。その後、ゲート電位をフローティング状態に保ち、光をチャネル領域及びゲート領域15に照射する。この光照射によりチャネル領域中に発生した電子-正孔対のうち、正孔はゲート領域15に蓄積し、電子はソース領域13を通り接地に流れ去る。

ゲート電位 V_g は、正孔が蓄積することによって、電位が小さくなり、その結果チャネルが開状態となる。この時に、ドレイン電極17に正電圧 V_D を印加すれば、ソース・ドレイン領域間に電流が流れる。このソース・ドレイン領域間電流が、ゲート領域15に蓄積した正孔電荷に応じて流れることは、前記従来の縦型SITと同様である。

第2図(B)における ℓ_1 、 ℓ_2 、 ℓ_3 、 t は、この実施例の光電変換装置を構成するJGLTの光電変換特性を定める構造因子で、 ℓ_1 はソース・ゲート領域13、15間の距離、 ℓ_2 はゲート・ドレイン領域15、14間の距離、 ℓ_3 はゲート領域15の幅であり、

n⁻型エピタキシャル層12は電荷の流れる通路、いわゆるチャネル領域を形成しており、このチャネル領域には、これを通過する電荷を制御するために、表面からp型不純物を拡散してp⁺ゲート領域15が形成されている。また、ソース領域13及びドレイン領域14の表面上にはアルミニウムなどの金属電極で形成されたソース電極16及びドレイン電極17が設けられており、ゲート領域15上には SnO_2 、ITO等の透明電極材で形成したゲート電極18が設けられている。

このようにしてゲート領域が接合ゲートで形成された横型構造を有するSITからなる光電変換装置が構成される。以下この構成のSITを接合ゲート横型トランジスタ(Junction Gate Lateral Transistor, JGLTと略称する)という。なお、第2図(A)、(B)において、19は表面の保護又は隣接する他のJGLTとの電気的分離に用いる半導体酸化物又は絶縁物である。

次に、このように構成されたJGLTからなる光電変換装置の動作原理について説明する。まず、

t はチャネル領域の厚みで、その最大値 t_{max} はn⁻エピタキシャル層12の不純物濃度 C_n の関数として次式で表わされる。

$$t_{max} = \sqrt{\frac{2K_s \epsilon_0}{q C_n} \times \phi_B}$$

ここで、 K_s は半導体の誘電率、 ϵ_0 は真空中の誘電率で、 $8.86 \times 10^{-14} F/cm$ 、 q は電荷量、 ϕ_B はチャネル領域とゲート領域15との拡散電位である。例えば、半導体材料がシリコンの場合をあげると、 $C_n = 1 \times 10^{14} cm^{-3}$ のときは、 $t_{max} = 3 \mu m$ 、 $C_n = 1 \times 10^{15} cm^{-3}$ では $t_{max} = 1 \mu m$ となる。

もし、チャネル領域の厚み t が、 $t > t_{max}$ のときは、ゲート領域15のチャネル領域12に対する電位が、光照射によって逆バイアス電圧状態から ϕ_B に戻る間に、チャネル領域外の電流経路 $[(t_{max} - t)$ の領域]が生ずる。このためにソース・ドレイン領域間の電流は、ゲート電位によって制御された電流に、チャネル領域外を流れる電流が加わったものとなる。したがって、この場合は、何らかの手段でこれらの電流成分を分離する必要が

ある。

ℓ_1 、 ℓ_2 、 ℓ_3 は電圧増幅率 μ に関係する因子で、これらの間には、

$$\mu \propto \frac{(\ell_1 + \ell_3) \times \ell_2}{t^2}$$

なる関係式が実験的に成立する。ここで、例えば、 $t = 1.2 \mu\text{m}$ 、 $\ell_1 = 1 \mu\text{m}$ 、 $\ell_2 = 1.2 \mu\text{m}$ 、 $\ell_3 = 2.3 \mu\text{m}$ に選べば、電圧増幅率 μ が約 2.5 の JGLT を得ることができる。

第 3 図(A)は、本発明の他の実施例の一部省略平面図、第 3 図(B)は、その X-X' 線に沿う断面図で、第 1 実施例における JGLT のゲート領域を絶縁物で形成したものである。この実施例の光電変換装置は、第 3 図(A)、(B)に示すように、絶縁物基板 11 上に形成された n^- エピタキシャル層 12 と、 n^- エピタキシャル層 12 の表面から n 型不純物を拡散して形成したソース領域 13、及びドレイン領域 14 と、 n^- エピタキシャル層 12 の表面に絶縁体層を被着形成したゲート領域 20 とで構成されている。絶縁体層は基板半導体の酸化物又は窒化物で構成され、

cm^{-3} の場合は、 t' は $2.4 \mu\text{m}$ より小さくする必要がある。

ソース・ドレイン領域間の距離 L は、JGLT における、 $\ell_1 + \ell_2 + \ell_3$ に対応するので、例えば $C_n = 1 \times 10^{14} \text{cm}^{-3}$ 、 $t' = 1.2 \mu\text{m}$ 、 $L = 4.5 \mu\text{m}$ とすると、JGLT の場合と同様に、電圧増幅率 μ が約 2.5 の IGLT が得られる。

次に、このように形成された光電変換装置を構成する IGLT の受光動作について説明する。まず、光を照射しない暗電流状態において、ソース（ドレイン）電極電圧 $V_s = 0$ 、ドレイン（ソース）電極電圧 $V_d = 0$ 、ゲート電極電圧 $V_g = V$ ($V > 0$) とすると、ゲート電極 18 にゲート電圧 V が印加された状態によって、絶縁体層からなるゲート領域 20 とチャネル領域 12 の境界から空乏層がチャネル全体に広がる。しかして、この時点では非定常状態動作なので、空乏層中に正孔は存在しない。次に光を照射して空乏層中に入れると、正孔-電子対が発生し、正孔は絶縁体ゲート領域 20 とチャネル領域 12 の界面に蓄積される。そして、界面に正

厚さは $200 \sim 1000 \text{\AA}$ 程度に形成される。このようにして得られた横型 SIT を、絶縁ゲート横型トランジスタ (Insulator Gate Lateral Transistor、以下 IGLT と略称する) と呼ぶこととする。

エピタキシャル層 12 の不純物濃度を、JGLT と同じく C_n で表わすと、チャネル領域の厚み t' は、不純物濃度 C_n での反転層存在時の最大空乏層幅 $X_{d \max}$ 、すなわち、

$$X_{d \max} = \sqrt{\frac{2K_s \epsilon_0 (2\phi_F)}{q C_n}}$$

(ここで、 ϕ_F はフェルミポテンシャル) より小さくなければならない。 t' が $X_{d \max}$ より大になると、JGLT の場合と同様に、ソース・ドレイン電流のゲート制御が不完全になる。例えば、基板半導体をシリコンとして、絶縁物に 1000\AA 厚みの酸化膜を用い、酸化膜とシリコン界面の固定電荷 Q_{ss} を 0 と仮定した場合、 $X_{d \max}$ とチャネル不純物濃度 C_n の関係は、第 4 図に示すように表わされる。この図からわかるように、 $C_n = 1 \times 10^{14}$

孔が蓄積された分だけ、ソース・ドレイン領域間の障壁ポテンシャルの高さが減少する。

ある一定の正孔蓄積時間後に、ドレイン電極 17 に正電圧を印加すると、界面蓄積正孔に応じたソース・ドレイン電流 I_{sd} が流れる。この電流 I_{sd} は、光が照射されず正孔が界面に存在しない時に比べて増大する。すなわち、光量がソース・ドレイン電流 I_{sd} の変化として取り出すことができる。

第 1 及び第 2 実施例においては、電流チャネル領域はすべてゲート領域の直下に形成され、ゲート領域から基板に向かって下方に延びたポテンシャルの分布が、チャネル電流を制御するように構成したものを示したが、ゲート領域の側面から横方向に広がったゲートポテンシャル分布でも、チャネル電流を制御することが可能である。このような、チャネル電流制御を行う構成の実施例を、第 5 図及び第 6 図に示す。

第 5 図において、21 は絶縁物基板、25 は基板 21 上に形成した n^- エピタキシャル層、22 及び 23 は n^- エピタキシャル層 25 の表面に n 型不純物を拡散し

て形成したソース領域とドレイン領域である。24はp型不純物を拡散して形成したゲート領域であるが、第5図の一部透視斜視図で示すように、該ゲート領域24の深さは絶縁物基板21に到達するように形成されている。26は分離用絶縁物である。

このように構成することにより、ソース・ドレイン電流 I_{SD} は、このゲート領域24の下側は流れることができないので、ゲート領域24の側方を通じて流れることになる。この時、ソース・ドレイン電流がゲート電位によって制御されることは、先の実施例の場合と同様である。

第5図に示した実施例では、電流チャネル領域を2個のゲート領域24、24で挟んで形成した例を示したが、第6図に示すように、チャネル領域の側面が分離用絶縁物26で隔離されていれば、ゲート領域24は1個でもよく、ソース・ドレイン電流を制御することができる。

上記第5図及び第6図に示した実施例の光電変換特性を定める構造因子は、 ϕ_1 、 ϕ_2 、 ϕ_3 については、第2図に示した実施例と同じであるが、

板からバイアス(バックゲートバイアス)を印加することが可能となる。このように構成することにより、チャネル電流は表面のゲートと基板の両方で制御できるようになるため、同じ構造のデバイスでも、この基板バイアスによって、光電変換特性を変化させることができる。したがって、基板バイアスを適当に選定すれば、所望の光電変換特性を自由に設定することができる。

また、上記各実施例では、全てチャネル領域を流れる電荷が電子の場合、すなわち、nチャネルのものを示したが、チャネル領域はpチャネルで形成してもよい。但し、この場合は、各領域の導電型を反対にし、バイアス印加電圧の極性を逆にする必要がある。

また、半導体材料としては、周期律表のⅣ族、Ⅴ族の単体元素や、Ⅲ-Ⅴ族、Ⅱ-Ⅵ族化合物半導体のようなバルク結晶の他に、これらのアモルファス体を用いることもできる。

(発明の効果)

以上詳細に説明したように、本発明は、横型構

第2図に示した実施例におけるチャネル厚み t は、第5図及び第6図に示す実施例では、一方のゲート領域と他のゲート領域との間隔 a' 、またはゲート領域と絶縁分離帯との距離 a'' に対応する。間隔 a' 又は距離 a'' は、エピタキシャル層25の厚みやゲート領域24の拡散深さに無関係に、フォトリソグラフによって決めることができる。したがって、第5図及び第6図に示した実施例においては、第1又は第2実施例にみられるエピタキシャル層の厚みや、ゲート領域の拡散深さのばらつきによる特性のばらつきは生じない。換言すると、プロセス要因による特性の変動は少ないという特徴がある。

上記各実施例では、基板を絶縁物で形成したものを示したが、要は、基板を通る電流経路が無視できればよいのであるから、基板は真性半導体、もしくはp⁻またはn⁻半導体で構成することもできる。特に、基板として、チャネル領域を形成するエピタキシャル層と反対の導電型を有するp⁻またはn⁻半導体を用いると、チャネル領域に対して基

造のSITを用いて光電変換装置を構成したので、光電変換機能のみならず、増幅機能も持たせることができ、したがって、S/NをMOSトランジスタやCCDのような増幅機能のない素子を用いた装置より大きくすることができる。

また、本発明に係る光電変換装置に用いるSITは不飽和動作設計のため、高速、低雑音、低消費電力、高入力インピーダンス等の長を有するものであり、したがって、高感度、高速応答、広ダイナミックレンジ等の優れた光電変換特性を有する光電変換装置が得られる。

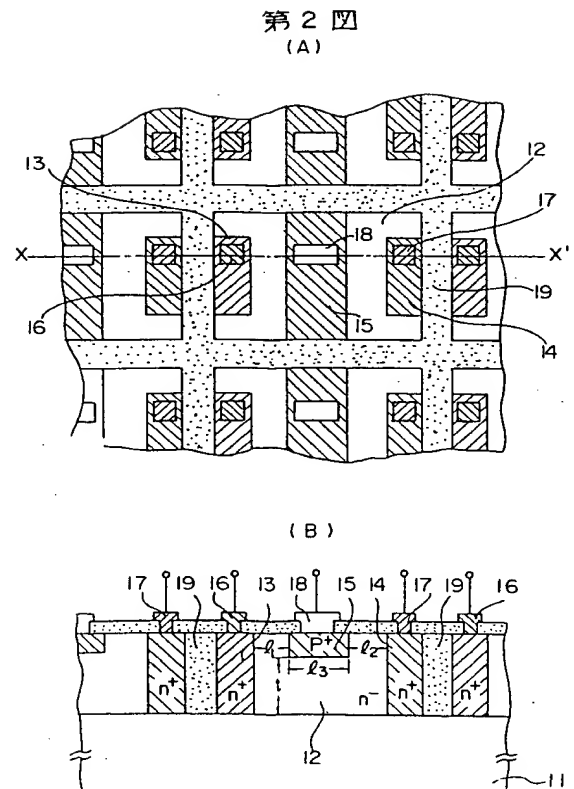
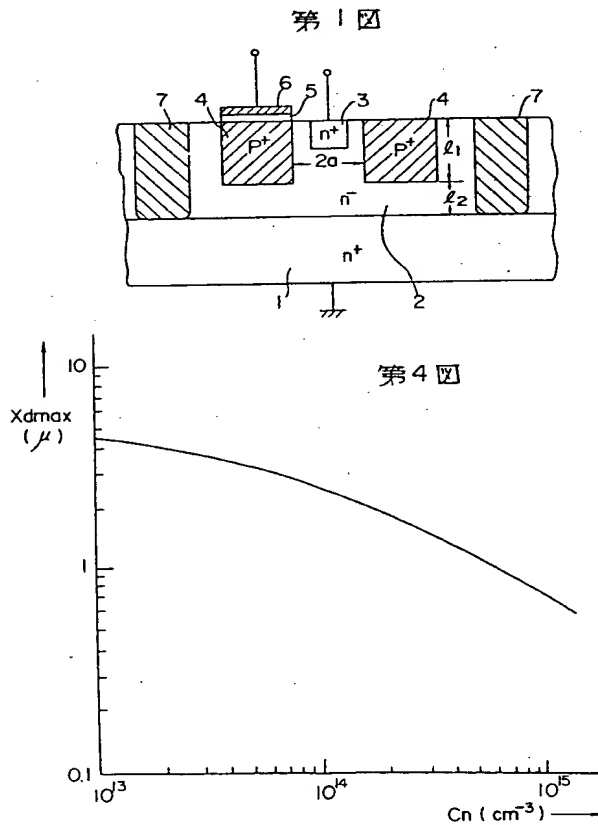
また、本発明は横型構造のSITを用いたので、寸法規制が、縦型SITほど厳しくなく、寸法制御が容易であり、光増幅率及び光感度を容易に向上させることができ、プロセスも簡単である。また、周辺デバイスをMOSで構成するときは、そのMOSプロセスとのプロセス融合性が高く、一層プロセス能率を向上させることができ、また、縦型SITよりも端子の配置関係の自由度を大にすることもできる。

更にまた、本発明に係る光電変換装置は、デバイスサイズの微細化が可能なので、集積化に有利であり、三次元積層化デバイスにも適するものである。

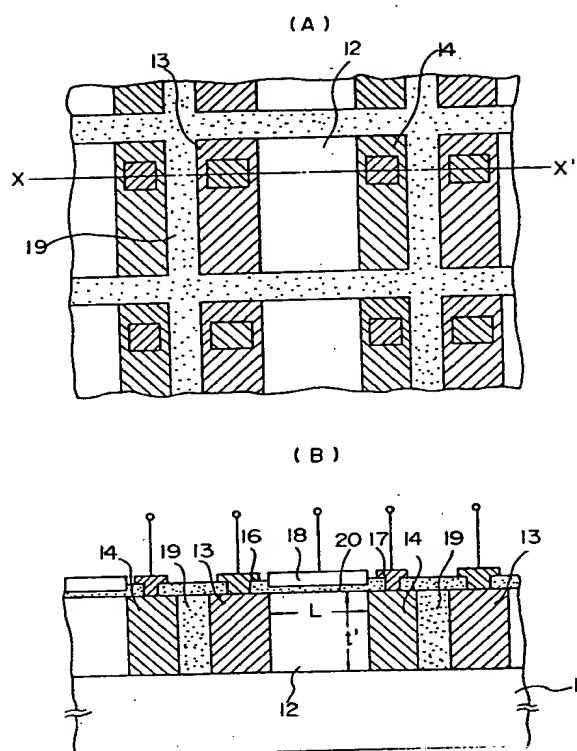
4. 図面の簡単な説明

第1図は、従来の縦型SITを用いた光電変換装置の断面図、第2図(A)は、本発明に係る半導体光電変換装置の一実施例の一部省略平面図、第2図(B)は、そのX-X'線に沿った断面図、第3図(A)は、本発明の他の実施例の一部省略平面図、第3図(B)は、そのX-X'線に沿った断面図、第4図は、不純物濃度と最大空乏層幅との関係を示す特性曲線図、第5図及び第6図は、それぞれ本発明の更に他の実施例の一部透視斜视图である。

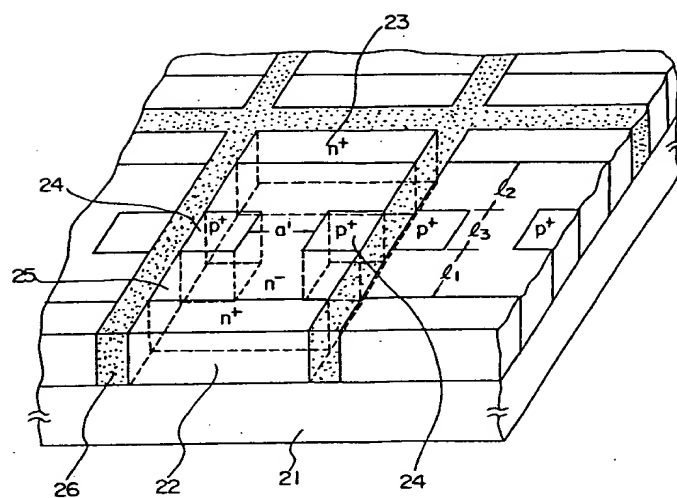
図において、11は絶縁物基板、12はエピタキシャル層、13はソース領域、14はドレイン領域、15はゲート領域、19は絶縁物、20は絶縁ゲート領域、21は絶縁物基板、22はソース領域、23はドレイン領域、24はゲート領域を示す。



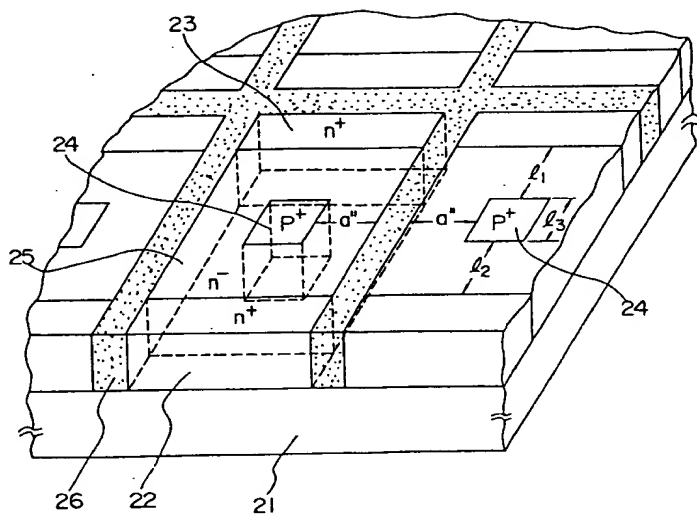
第3図



第5図



第6図



手 続 補 正 書

昭和59年 6月12日

特許庁長官 若 杉 和 夫 殿

1. 事件の表示

昭和58年 特許 願第245059号

2. 発明の名称 半導体光電変換装置

3. 補正をする者

事件との関係 特許出願人

シブヤクハタギヤ

住 所 東京都渋谷区幡ヶ谷2丁目43番2号

コウガクコウギョウ

(037)オリンパス光学工業株式会社

氏 名

代表者 北 村 茂 男

4. 代 理 人

住 所 東京都中央区新川1丁目22番12号

ニッテイマンション1103号

電話(03)551-3264

氏 名 (8727) 弁理士 最 上 健 治

5. 補正命令の日付 な し

6. 補正により増加する発明の数 な し

7. 補正の対象 明細書の発明の詳細な説明の欄

8. 補正の内容

(1) 明細書第5頁7行及び15行の「 μ 」を、「 S 」と補正する。

(2) 同第5頁8行に $\mu = \frac{e_1 \times e_2}{a^2}$ とあるのを、

$$S \propto \frac{e_1 \times e_2}{a^2} \text{ と補正する。}$$

(3) 同第6頁6行の「 μ 」を、「 S 」と補正する。

(4) 同第7頁14行の「 (Al_2O_3) 」を、「 (Al_2O_2) 」と補正する。

(5) 同第10頁6行に「 q は電荷量」とあるのを、「 q は単位電荷量」と補正する。

(6) 同第12頁10行に「フェルミポテンシャル」とあるのを、「エビタキシャル層12のフェルミポテンシャル」と補正する。

(7) 同第13頁12行に「 $V_c = V (V > 0)$ 」とあるのを、「 $V_c = V (V < 0)$ 」と補正する。

(8) 同第16頁6行～7行に「拡散深さに無関係に、フォトリソグラフによって」とあるのを、「拡散深さと独立に、フォトリソグラフィによって」と補正する。

(9) 同頁11行に「ばらつきは生じない。」とあるのを、

「ばらつきは生じにくい。」と補正する。

(10) 同頁20行の「 n^- 半導体」を、「真性半導体」と

補正する。

以 上